

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354628

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/76
27/108
21/8242

H 0 1 L 21/76 L
27/10 6 8 1 D

審査請求 未請求 請求項の数 5 O L (全 8 頁)

(21) 出願番号 特願平10-159098

(22) 出願日 平成10年(1998)6月8日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 酒井 舞子

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 山下 朋弘

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(72) 発明者 井上 靖朗

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

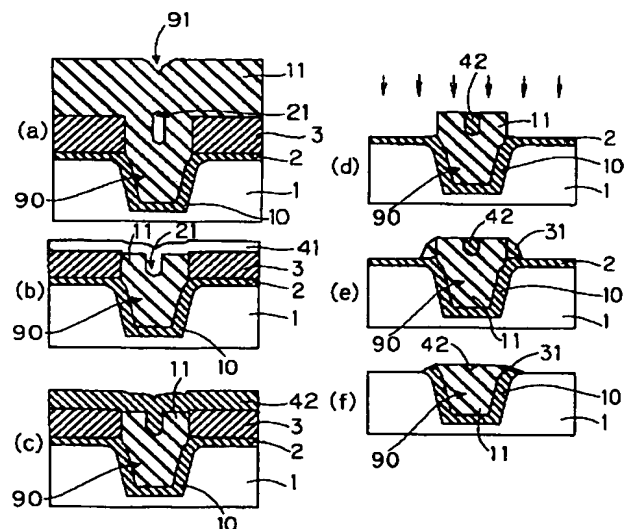
(74) 代理人 弁理士 吉田 茂明 (外2名)

(54) 【発明の名称】 集積回路中の素子分離領域の形成方法

(57) 【要約】

【課題】 微小な溝による素子分離領域の形成時に生じ易い空隙に、基板に直接接触しない方法でポリシリコンを埋め込み、熱酸化して平坦な分離酸化膜を形成する。

【解決手段】 半導体基板に酸化膜と窒化膜とを形成し、その一部を開口して基板をエッチングして溝を形成する。次に溝の内壁に酸化膜を形成し、その上に埋め込み酸化膜を堆積する。エッチバックとCMP法とにより窒化膜上の埋め込み酸化膜を除去して平坦化し、このとき現れる空隙を覆うように非単結晶シリコン膜を形成し酸化させる。そしてエッチバックして窒化膜上の酸化膜を除去し、窒化膜を除去し、イオン注入をして活性領域を形成する。次に、埋め込み酸化膜に側壁を形成しフッ酸によるウェットエッチングで最初に形成された酸化膜と表面より上にある埋め込み酸化膜とさらにその側壁とを除去して表面を平坦化する。



1: 半導体基板

31: 側壁

2, 42: 熱酸化膜

41: 非単結晶半導体膜

11: 埋め込み酸化膜

90: 溝

BEST AVAILABLE COPY

【特許請求の範囲】

【請求項 1】 表面を有する半導体基板内に、前記表面に開口する溝を形成する第 1 の工程と、前記溝内を埋め込み、かつ前記表面から突出する埋め込み酸化膜を形成する第 2 の工程と、前記埋め込み酸化膜の表面に非単結晶半導体膜を形成し、これを熱酸化して第 1 の熱酸化膜を形成する第 3 の工程と、

前記半導体基板の前記表面のうち、前記溝が形成されていない部分に第 2 の熱酸化膜を介してイオン注入を行う第 4 の工程と、

前記第 2 の熱酸化膜を除去し、前記埋め込み酸化膜及び前記第 1 熱酸化膜の表面を平坦化する第 5 の工程とを備える、集積回路中の素子分離領域の形成方法。

【請求項 2】 前記第 2 の熱酸化膜は前記第 1 の工程において前記溝の形成に先立って前記半導体基板の前記表面に形成され、

前記第 1 の熱酸化膜は、前記第 4 の工程において前記イオン注入に先だって、前記溝が形成されていない前記部分において除去される、請求項 1 記載の集積回路中の素子分離領域の形成方法。

【請求項 3】 前記第 4 の工程の後、前記第 5 の工程の前に、

前記埋め込み酸化膜のうち、前記第 2 の熱酸化膜よりも突出する部分の側面に側壁を形成する、請求項 2 記載の集積回路中の素子分離領域の形成方法。

【請求項 4】 前記第 2 の熱酸化膜は、前記第 3 の工程において前記第 1 の熱酸化膜を形成する際に、前記半導体基板が酸化されて形成される、請求項 1 記載の集積回路中の素子分離領域の形成方法。

【請求項 5】 前記第 3 の工程において、前記埋め込み酸化膜の側面にも前記非単結晶半導体膜を形成する、請求項 4 記載の集積回路中の素子分離領域の形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、集積回路中に形成される溝型の素子分離領域に関する。

【0002】

【従来の技術】 集積回路内部において、各素子が互いに電氣的干渉を起こさないよう、素子分離領域を形成して個々の素子を完全に独立させる必要がある。このような素子分離領域を形成する方法の一つとして、トレンチ分離法が広く知られており、数々の改良法も考案されている。

【0003】 ここでいうトレンチ分離法とは、基板にトレンチ（溝）を形成し、このトレンチの内部に絶縁物を充填して素子分離するという方法のことである。従来の LOCOS 法などでみられたバースピークがほとんど発生しないため、素子分離領域を狭くかつ深く形成でき、半導体集積回路をさらに微細化する上で不可欠な素子分

離方法となっている。

【0004】 このトレンチ分離法による従来の微小な素子分離領域の形成方法を図 4 に示す。まず、熱酸化法によりシリコン基板 1 の表面にシリコン酸化膜 2 を形成し、次に CVD 法によりシリコン窒化膜 3 を堆積させる。シリコン酸化膜 2 はシリコン窒化膜 3 形成により生じる基板 1 へのストレスを緩和する。そして写真製版パターンをマスクとして、シリコン窒化膜 3、シリコン酸化膜 2 の順にパターニングし、更に基板 1 をエッチングしてトレンチ 90 を形成する。この状態を表わしたのが図 4（a）である。

【0005】 次に熱酸化法でトレンチ 90 の内壁にシリコン酸化膜 10 を形成する。ここで、内壁に形成されたシリコン酸化膜 10 はトレンチ 90 の上部と底部の角部分を丸めるための役割を持つ。上部の角部分を丸めておかないと逆ナロウチャネル効果（後述）が発生し易くなる。また底部の角部分を丸めておかないと、後にトレンチ 90 を埋め込む埋め込み酸化膜 11 と基板 1 との境界でのストレスが大きくなり、結晶欠陥が発生しやすくなる。したがって、デバイス特性に悪影響を及ぼすおそれが生じるからである。なお、角部分を丸めるには CVD 法のように堆積する方法では困難で、熱酸化法によって実現することが望ましい。この際、シリコン窒化膜 3 は熱酸化に対するマスクとなり、シリコン酸化膜 2 の増厚を防ぎ、分離領域として所望されるトレンチ 90 の幅についてのマスク変換差を小さくするという機能を果たす。

【0006】 以上のようにして得られた構造の上面（シリコン酸化膜 10、シリコン窒化膜 3 の上面及び壁面を含む）に対し、CVD 法、例えば減圧 CVD 法により埋め込み酸化膜 11 を堆積する。ここで埋め込み酸化膜 11 は、トレンチ 90 を埋め込む絶縁材料としての役割を持つ。

【0007】 この際、シリコン窒化膜 3 の上部にも埋め込み酸化膜 11 を堆積してしまう。これは後のエッチバック処理と CMP 処理とによって除去する。このプロセスにおいて、シリコン酸化膜 10、シリコン窒化膜 3 に徐々に埋め込み酸化膜 11 が堆積していく。この際、埋め込み酸化膜 11 の堆積される初期には、トレンチ 90 の中央部では、埋め込み酸化膜 11 の表面が凹んでいる。埋め込み酸化膜 11 の堆積が続いて、シリコン窒化膜 3 の位置する高さ程度にまでなっても、トレンチ 90 の中央部での埋め込み酸化膜 11 の凹みは残っている。トレンチ 90 の幅が狭い場合、他の平坦な部分に比べ、凹み部分には CVD ガスが入りにくいことから、その上部で橋が架かるように埋め込み酸化膜 11 が堆積する。そして更に埋め込み酸化膜 11 が堆積し、未堆積部分である空隙（以下「シーム」と呼ぶ。）21 がトレンチ 90 の上方に存在したまま、シリコン窒化膜 3 の上部にも埋め込み酸化膜 11 が充分堆積して、埋め込み酸化膜 1

1 の堆積を終了する (図 4 (b))。

【0008】一般に CVD 法を用いた場合、幅の広いトレンチを埋めると埋め込み酸化膜 11 の表面はトレンチの形状を反映して凹部を呈する。この凹部はトレンチの幅が広いこと、その凹み部分に平坦性を有する。また、この平坦性を有する凹部の埋め込み酸化膜 11 の表面の高さは、トレンチの底から埋め込み酸化膜 11 の膜厚分だけ高い。この埋め込み酸化膜 11 の膜厚は、例えば活性領域の窒化膜の表面の高さとほぼ一致する程度である。一方、幅の微細なトレンチを埋めると埋め込み酸化膜 11 の表面での凹部は、上述のトレンチ 90 の場合のように堆積過程でシーム 21 へと変化してしまいやすいので、堆積完了後の埋め込み酸化膜 11 の表面は図 4 (b) に示すようにわずかな落ち込み部分 91 を呈するか、または落ち込まないことも多い。またこの場合は、埋め込み酸化膜 11 の表面の高さは活性領域の窒化膜 3 表面の高さより埋め込み酸化膜 11 の膜厚分だけ高くなる (例えばトレンチ 90)。減圧 CVD 法以外の埋め込み酸化膜形成に用いられる CVD 法として、High Density Plasma enhanced CVD 法 (HDP CVD 法) 等もある。HDP CVD 法の場合、減圧 CVD 法よりもシーム 21 は発生しにくい、やはりある程度は発生してしまう。

【0009】次に、トレンチ 90 を埋める埋め込み酸化膜 11 の表面を、2 段階の処理で平坦化する。まずトレンチ 90 の直上部及び活性領域以外の部分にレジストを形成する。具体的には例えば、内部に埋め込まれた埋め込み酸化膜 11 の表面が平坦性を有する凹部を呈し、その表面の高さが活性領域の窒化膜 3 の表面の高さとほぼ一致する程度の幅が広いトレンチ (図示せず) が存在した場合、その開口部及び近傍において、埋め込み酸化膜 11 の表面をレジストで覆う。

【0010】そしてトレンチ 90 の直上部や活性領域の上でドライエッチングによるエッチバックを行い、この領域における埋め込み酸化膜 11 を除去して窒化膜 3 を露呈させる (これを第 1 の平坦化と仮称する)。この後レジストを除去しておく。

【0011】レジストを上記のように形成したのは、幅が広いトレンチを埋め込む埋め込み酸化膜 11 が第 1 の平坦化で除去されないようにパターニングされるべきだからである。つまりレジストパターンのアライメントがずれた場合を考慮して、上記のように幅が広いトレンチの開口よりも若干広めに (アライメントマージン相当程度) レジストを形成する事が望ましい。しかしこのトレンチの開口よりも広がったレジストにより、活性領域のうちこのトレンチの開口との境界近傍では、第 1 の平坦化によっては除去されない埋め込み酸化膜 11 が存在する場合もある。

【0012】これを除去するため、第 1 の平坦化に続いて第 2 の平坦化を行なう。具体的にはシリコン窒化膜 3

をストップとする CMP 法により、ほぼシリコン窒化膜 3 の位置する高さ程度にまで、残存した埋め込み酸化膜 11 を除去する。これによりシリコン窒化膜 3 の上部には埋め込み酸化膜 11 が残存せず、第 1 の平坦化の際に用いられたレジストの境界近傍での埋め込み酸化膜 11 の段差が除去される。

【0013】但し、正確に言えば埋め込み酸化膜 11 の表面はシリコン窒化膜 3 の表面よりも下方に (基板 1 側に) 若干退く。ここまでの状態を表わしたのが図 4

(c) である。先述のようにシーム 21 はおおむねシリコン窒化膜 3 の位置する高さに発生するので、このときに表面に現れる。

【0014】CMP 法を用いれば、表面を高精度に平坦化でき、しかもシリコン窒化膜はシリコン酸化膜に比べ研磨速度が遅いことが知られている (参照文献: "Comparative Evaluation of Gap-Fill Dielectrics in Shallow Trench Isolation for Sub-0.25 μ m Technologies" S. Nag et al. IEEE IEDM 1996 pp. 841-844)。よって、シリコン窒化膜 3 上の埋め込み酸化膜 11 が研磨により完全に除去されると予測される時間よりも若干長めに研磨しておけば、シリコン窒化膜は少し研磨されるだけでありストップとしての役割を果たせることになる。

【0015】次に、熱りん酸を用いたウェットエッチングによりシリコン窒化膜 3 を選択的に除去する。そして、基板 1 上に残ったシリコン酸化膜 2 を犠牲酸化膜としてイオン注入し、基板 1 中に不純物層を形成する (図 4 (d))。ここでいう犠牲酸化膜とは、素子の形成される活性領域にイオン注入時のダメージを残留させないために表面を保護する目的で形成される酸化膜のことである。

【0016】図 4 (d) に示されるまでの工程によって得られた構成の上面に、CVD 法により酸化膜を形成し、エッチングを部分的に施すことにより、図 4 (e) に示すように埋め込み酸化膜 2 の両側面に酸化膜の側壁 31 を形成する。このときにシーム 21 にも酸化膜 32 が形成される。そして、犠牲酸化膜 2 をフッ酸により除去し、同時に埋め込み酸化膜 11 もフッ酸によりある程度除去されて平坦化され、トレンチ分離領域を完成させる (図 4 (f))。基板 1 へのダメージを与えたくない。のでドライエッチングを採用することは望ましくない。

【0017】側壁 31 が形成されていたので、フッ酸を用いたエッチングが等方性を有していても、トレンチ 90 の開口近辺のエッジ部分で埋め込み酸化膜 11 がエッチングされて凹部ができることを軽減できる。

【0018】

【発明が解決しようとする課題】しかしそれでも、一般に CVD 法で形成された酸化膜は熱酸化法で形成された酸化膜よりもフッ酸によるエッチング速度が速い。熱酸化膜で形成されている犠牲酸化膜 2 をフッ酸で除去する際に、CVD 法で形成された酸化膜の側壁 31 が除去さ

れ、さらに埋め込み酸化膜 11 のうち、溝 90 の開口エッジ付近もエッチングされて、基板表面よりもトレンチエッジが窪んでしまう。

【0019】一般には CVD 酸化膜のエッチング耐性を熱酸化膜程度に高めるためには高温熱処理が有効である。

【0020】ただし、イオン注入後は不純物プロファイルを変化させてはならないため高温熱処理できず、イオン注入よりも後に形成される酸化膜 31、32 に対してアニールを行うことができない。よってトレンチ 90 を埋める埋め込み酸化膜 11 に対しては、図 4 (c) に示された工程以前に窒素雰囲気中でアニールを施してフッ酸に対して耐性を持たせ得るが、シーム 21 を埋める酸化膜 32 は CVD 法により形成されただけで全く熱処理がかかっておらず、フッ酸によるエッチングに対し耐性が劣る。よって、シリコン酸化膜 2 を除去する際に同時にこのシーム 21 に入り込んだ酸化膜 32 も除去されてしまう。すると、トレンチを用いた素子分離領域上にシーム 21 に起因する窪みが残ることになる。

【0021】ここで素子分離領域形成以外の素子形成プロセスを考えると、必ず導体による電極や配線の形成のプロセスが存在するが、全面に金属蒸着等したときに窪みがあるとこの窪みの中に導体材料が入り込み、配線や電極のパターン形成時に完全にエッチングできずシーム 21 の中に不必要な導体材料が残留してしまう。

【0022】ここで例えば、図 4 (f) に示すように、トレンチにより分離された活性領域間をまたぐ配線 51 があり、このような活性領域間をまたぐ配線が、図 4 (f) の紙面に平行ないくつかの他の面に互いに独立して存在したと考える。本来はこれらの配線は互いに絶縁されているはずであるのに、この窪みに残留した配線材料が図 4 (f) 紙面に垂直方向に線状に伸びているので、これらの配線が接続されてショートしてしまう。

【0023】このようなショートを生じさせないようにするには、シーム 21 の発生をなくせばよい。そのためにはトレンチ 90 の幅を大きくし、トレンチに充分な埋め込みがなされるようにすればよい。ところが、それではさらなる微細化は望めない。

【0024】そこで、たとえシームが発生してもそのシームへの埋め込みを行なうことが望まれる。このような技術については、例えば特開昭 63-197355 号公報に開示されており、埋め込み酸化膜を基板の表面よりも下までエッチバックし、トレンチ上部には多結晶シリコンを埋め込み、この多結晶シリコンを酸化させてシームへの埋め込みを行なっている。

【0025】しかし、この技術では、トレンチ上部を埋め込む多結晶シリコンがシリコン基板表面に直接に接触するので、トレンチ近傍において接合リーク電流が発生し易くなる。

【0026】そこで本発明では、単結晶でないシリコン

を用い、これが直接に基板に接触しないようにしつつシームの埋め込みを行なうことを目的とする。

【0027】

【課題を解決するための手段】この発明のうち請求項 1 にかかるものは、表面を有する半導体基板内に、前記表面に開口する溝を形成する第 1 の工程と、前記溝内を埋め込み、かつ前記表面から突出する埋め込み酸化膜を形成する第 2 の工程と、前記埋め込み酸化膜の表面に非単結晶半導体膜を形成し、これを熱酸化して第 1 の熱酸化膜を形成する第 3 の工程と、前記半導体基板の前記表面のうち、前記溝が形成されていない部分に第 2 の熱酸化膜を介してイオン注入を行う第 4 の工程と、前記第 2 の熱酸化膜を除去し、前記埋め込み酸化膜及び前記第 1 熱酸化膜の表面を平坦化する第 5 の工程とを備える、集積回路中の素子分離領域の形成方法である。

【0028】この発明のうち請求項 2 にかかるものは、前記第 2 の熱酸化膜は前記第 1 の工程において前記溝の形成に先立って前記半導体基板の前記表面に形成され、前記第 1 の熱酸化膜は、前記第 4 の工程において前記イオン注入に先だって、前記溝が形成されていない前記部分において除去される、請求項 1 記載の集積回路中の素子分離領域の形成方法である。

【0029】この発明のうち請求項 3 にかかるものは、前記第 4 の工程の後、前記第 5 の工程の前に、前記埋め込み酸化膜のうち、前記第 2 の熱酸化膜よりも突出する部分の側面に側壁を形成する、請求項 2 記載の集積回路中の素子分離領域の形成方法である。

【0030】この発明のうち請求項 4 にかかるものは、前記第 2 の熱酸化膜は、前記第 3 の工程において前記第 1 の熱酸化膜を形成する際に、前記半導体基板が酸化されて形成される、請求項 1 記載の集積回路中の素子分離領域の形成方法である。

【0031】この発明のうち請求項 5 にかかるものは、前記第 3 の工程において、前記埋め込み酸化膜の側面にも前記非単結晶半導体膜を形成する、請求項 4 記載の集積回路中の素子分離領域の形成方法である。

【0032】

【発明の実施の形態】実施の形態 1. 図 1 に本発明の実施の形態 1 にかかる、集積回路中の素子分離領域形成方法を示す。図 1 (a) は図 4 (b) と同じ状態であり、ここまでは「従来の技術」に述べた手法で実現できる。以下に、寸法の具体的数値を上げてもう一度はじめてからプロセスについて概説する。

【0033】まず、基板 1 上に熱酸化によりシリコン酸化膜 2 を 5~30 nm 程度、シリコン窒化膜 3 を CVD 法により 100~300 nm 程度の膜厚で順に形成する。次に写真製版パターンをマスクとして異方性エッチングにより素子分離領域のシリコン窒化膜 3、シリコン酸化膜 2 を開口し、基板 1 を 100~500 nm 程度の深さまでエッチングすることにより基板 1 内にトレンチ

90を形成する。

【0034】次に、熱酸化によって内壁酸化膜10を5～50nm程度形成し、減圧CVD法により全面に埋め込み酸化膜11を205～830nm程度、すなわちシリコン酸化膜2の膜厚とシリコン窒化膜3の膜厚と形成した溝の深さとの合計に相当する量だけ堆積する。このときシーム21が発生してしまっているが、その発生位置はシリコン窒化膜3の位置と同程度の高さである。この状態が図1(a)で示されている。

【0035】次に、素子分離領域の上にレジストを形成し、ドライエッチングを用いたエッチバックでレジストに覆われていない部分の埋め込み酸化膜11の厚みを減じる、第1の平坦化をする。そして、レジストを除去した後、CMP法により第2の平坦化を行う。これによってシリコン窒化膜3上部に残留する埋め込み酸化膜11とシリコン窒化膜3の一部及びトレンチ内部の埋め込み酸化膜11を一部除去する。このときシーム21が平坦化された埋め込み酸化膜11の表面に現れる。つまり図4(c)で示されるように、埋め込み酸化膜11の上端が基板1の表面から突出した状態が得られる。

【0036】ここで、全面に多結晶シリコン膜41を5～50nm程度形成する。多結晶シリコンはアスペクト比の高いトレンチへの埋め込みが可能であることが知られており、シーム21が埋め込まれる。このとき完全に多結晶シリコンをシーム21に埋め込むために、予めシーム21の部分にわずかにフッ酸によるエッチングを施しておきシーム21を顕在化しておいてから多結晶シリコン膜41を形成するのも有効である。ここまでの状態が図1(b)である。

【0037】続いて、熱処理により多結晶シリコン膜41を完全に酸化させて酸化膜42を得る。この状態を表わしたのが図1(c)である。

【0038】そしてシーム21の中以外の酸化膜42をドライエッチングを用いたエッチバックを施して除去し、さらにシリコン窒化膜3を熱りん酸を用いたウェットエッチングにより除去する。そして、基板1に残ったシリコン酸化膜2を犠牲酸化膜として、矢印で示されるイオン注入を行ない、基板1中に不純物層を形成する。ここまでの状態を表わしたのが図1(d)である。

【0039】続いて、犠牲酸化膜としての役割を終えたシリコン酸化膜2をフッ酸で除去する際にトレンチ表面のエッジ部分が落ち込まないようにするため、図1

(d)までの工程で得られた構造の全面にCVD法により酸化膜を形成し、エッチングを部分的に施すことにより、図1(e)に示すように埋め込み酸化膜2の両側面に側壁31を形成する。

【0040】そして、シリコン酸化膜2をフッ酸により除去し、同時にトレンチ部分の埋め込み酸化膜11、酸化膜42、側壁31もフッ酸により一部除去されてある程度平坦化され、トレンチによる素子分離を完成させ

る。

【0041】本実施の形態によれば、シーム21を埋め込む酸化膜42はCVDによって形成された多結晶シリコンを熱酸化して得られたものである。CVD法によって形成されて熱処理を受けないままシーム21を埋め込む従来の酸化膜32と比較して、フッ酸に対する耐性は高い。よってシリコン酸化膜2をフッ酸により除去しても、埋め込み酸化膜11のシーム21に起因するへこみは生じない。よって素子分離領域の幅を狭くして集積度をより高めても、この上に形成される配線にはショートの問題が発生しない。また、多結晶シリコンは直接には基板に接触せず、接合リーク電流の問題を回避できる。

【0042】また、本実施の形態では、イオン注入後に側壁31を形成するため、フッ酸によるエッチングの際にトレンチに埋め込まれた埋め込み酸化膜11のエッジ部分の落ち込みが少なく、より平坦な埋め込みが実現する。

【0043】なお、本実施の形態では多結晶シリコン膜を用いてシーム21の処理を行なったが、熱酸化できる膜であればよいので例えば非晶質シリコン膜等をシーム21の埋め込み処理に用いてもよい。

【0044】また、本実施の形態では素子分離領域のパターニングのマスクとして窒化膜と酸化膜の積層膜の場合を例にとったが、最上膜が窒化膜で最下膜が酸化膜であれば他の積層膜でもよい。

【0045】実施の形態2. 図2に本発明の実施の形態2にかかる集積回路中の素子分離領域形成方法を示す。図2(a)は図4(b)と同じ状態であり、また図2(b)は図4(c)と同じ状態であり、ここまでは実施の形態1と同様、従来の技術で実現できるので説明は省略する。この段階で、平坦化された埋め込み酸化膜11の表面にシーム21が現れる。

【0046】ここで、実施の形態1と異なり先に熱りん酸を用いたウェットエッチングによりシリコン窒化膜3を除去する。そしてその後、全面に多結晶シリコン膜41を5～50nm程度形成する。この埋め込まれた多結晶シリコン膜41を後に熱処理してフッ酸への耐性を高めることで、シーム21を埋め込むのは実施の形態1と同様である。また、このとき完全に多結晶シリコン膜41をシーム21の中に埋め込むために、予めシーム21の部分にわずかにフッ酸によるエッチングを施しておきシーム21を顕在化しておいてから多結晶シリコン膜41を形成するのも実施の形態1と同様、有効である。この状態が図2(c)である。

【0047】ここで、シリコン酸化膜2をストップとした異方性エッチングを行ない、多結晶シリコン膜41を一部残して側壁を形成する。またこのとき、シーム21には多結晶シリコン膜41が埋め込まれたままとなっている。この状態が図2(d)である。

10

20

30

40

50

【0048】次にシリコン酸化膜2をフッ酸を用いたエッチング処理により除去する(図2(e))。シリコン窒化膜3除去後のシリコン酸化膜2は膜厚がばらついており、これを犠牲酸化膜として採用すると活性領域の不純物プロファイルが場所により一定でなくなって素子特性に影響が出るからである。この際、多結晶シリコン膜41が埋め込み酸化膜11をその側面から保護しているので、埋め込み酸化膜11はその頂面が些か除去されることはあっても、トレンチ90の開口近辺で落ち込みが生じることはない。

【0049】次に新たに均一な厚さの犠牲酸化膜5を得るために熱酸化を施す。このときシーム21の中に埋め込まれた多結晶シリコン膜41と側壁を形成する多結晶シリコン膜41も同時に酸化され、酸化膜43が得られる。

【0050】そして図2(f)に矢印で示されるようにイオン注入を行なって基板1中に不純物層を形成する。

【0051】続けて、フッ酸によるエッチング処理によって犠牲酸化膜5を除去し、同時にトレンチ部分の埋め込み酸化膜11、酸化膜43もフッ酸により一部除去されてある程度平坦化され、トレンチによる素子分離を完成させる。この状態が図2(g)である。

【0052】本実施の形態によれば、実施の形態1と同様、埋め込み不良が発生した場合でも発生したシーム21には多結晶シリコン41を熱酸化させて得られた酸化膜43が堅固に埋め込まれているので、犠牲酸化膜5をフッ酸により除去する際にも従来のように窪みとして残るようなことはないのでショートの問題は発生しない。よって素子分離領域の幅を狭くして集積度をより高めても、この上に形成される配線にはショートの問題が発生しない。また、多結晶シリコンは直接には基板に接触せず、接合リーク電流の問題を回避できる。

【0053】なお、実施の形態1と同様、多結晶シリコン膜を用いてシーム21の処理を行なったが、熱酸化できる膜であればよいので例えば非晶質シリコン膜等をシーム21の埋め込み処理に用いてもよい。

【0054】また、実施の形態1と同様、素子分離領域のパターニングのマスクとして窒化膜と酸化膜の積層膜の場合を例にとったが、最上膜が窒化膜で最下膜が酸化膜であれば他の積層膜でもよい。

【0055】また、本実施の形態では、イオン注入時の犠牲酸化膜を改めて形成していることにより、犠牲酸化膜の膜厚のばらつきを抑えることができ、活性領域の不純物プロファイルを一定にできることからトランジスタのしきい値電圧などのばらつきも抑えられるという効果もある。

【0056】また、本実施の形態では、犠牲酸化膜除去の際には多結晶シリコン膜41が熱酸化されてできた酸化膜43によって側壁が形成されているため、実施の形態1におけるCVD法で形成された側壁31と比べ、フ

ッ酸によるエッチングの際にトレンチに埋め込まれた酸化膜のエッジ部分の落ち込みが少なく、さらに平坦な埋め込みが実現する。このため、例えばソースとドレインとゲートとがすべてトレンチのエッジ部分に接して作られるトランジスタにおいて、トレンチのへこんだエッジ部分にまでゲート電極が延設し、設計値よりも大きなチャネル幅を持ってしまい、トランジスタのしきい値電圧が設計値とは変わってしまうというような逆ナロウチャネル効果の問題も起こらない。

10 【0057】その他、以上が本発明の実施の形態であるが、このようなトレンチが用いられる場所の実際の集積回路の製作例を補足としてあげておく。図3は本発明の素子分離領域の形成方法を用いたDRAMメモセルの製造方法の一例を示すものであり、以下に詳述する。

【0058】まず、先述の実施の形態のいずれかの方法でシリコン基盤1にトレンチによる素子分離領域100を形成する。次に、P型のウェル(図示せず)を形成し、熱酸化法でゲート酸化膜を100オングストローム程度、CVD法で多結晶シリコン膜(ゲート電極材)を20 1000オングストローム程度の厚みで成膜する。次に、写真製版により所定の領域にレジストを形成し、異方性エッチングにより多結晶シリコン膜のパターニングを行なうことでゲート電極62を形成し、その後レジストは除去する。次に、トレンチ部分及びゲート電極62をマスクとしてAsを50keV、 $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入し、N型層61(ソース、ドレイン領域)を形成する。次にCVD法で全面に1000オングストローム程度の膜厚を有する酸化膜を堆積し、このCVD法による酸化膜を異方性エッチングすることで側壁酸化膜63を形成する。ここまでの状態を示したのが図3(a)である。

【0059】次に、層間絶縁膜71としてCVD法で全面に酸化膜を7000オングストローム程度堆積し、ビットラインコンタクトホールを所定の位置に開口する。次に、ビットライン配線材料として不純物を含有した多結晶シリコンを1000オングストローム程度、さらにタンガステンシリサイド(WSi)を1000オングストローム程度、全面に堆積し、パターニングにより所定の領域にのみ配線することでビットライン72を形成する。ここまでの状態を示したのが図3(b)である。

【0060】次に、層間絶縁膜として再度、CVD法で全面に酸化膜を7000オングストローム程度堆積し、ストレージノードコンタクトホールを所定の位置に開口する。次に、キャパシタ下部の電極材料として不純物を含有した多結晶シリコンを8000オングストローム程度、全面に堆積し、パターニングにより所定の領域にのみ配置することでストレージノード81を形成する。ここまでの状態を示したのが図3(c)である。

【0061】次に、キャパシタ誘電膜82としてCVD法でシリコンオキシナイトライド(SiON)膜を70

オングストローム程度堆積し、キャパシタ上部電極 8 3 として CVD 法で不純物を含有した多結晶シリコンを 5 0 0 オングストローム程度堆積してセルプレートを形成しパターニングにより所定の領域にのみ配置する。ここまでの状態を示したのが図 3 (d) である。

【0062】これで DRAM デバイスのセル部は完成するがこの後、周辺回路と接続、配線される。

【0063】本例に挙げたような DRAM デバイスをはじめ高度に集積化されるデバイスにおいては分離幅の狭い素子分離法としてトレンチ分離法は不可欠であるが、本発明を用いてこれを製造し完全に平坦化を行なうことで、ウェハ面内で素子分離膜の形状が均一なものとなる。このことは、図 3 (d) に示したようなメモリセルを多数配置する DRAM デバイスにおいて、メモリセルごとの素子特性のばらつきを防止できることを意味し、結果としてデバイスの安定動作と高歩留まりが達成される。

【0064】

【発明の効果】この発明のうち請求項 1 にかかる集積回路の素子分離領域の形成方法によれば、微小な溝に対して埋め込み酸化膜が十分に埋め込めず、埋め込み酸化膜の上面に凹部が発生しても、そこには非単結晶半導体膜を熱酸化させた第 1 の熱酸化膜が堅固に埋め込まれる。よって、埋め込み酸化膜の上面の平坦性が損なわれることがなく、埋め込み酸化膜の上面に敷設される配線のパターニングの不良も回避できるので、素子分離領域の幅を狭くして集積度をより高めることができる。また第 2 の熱酸化膜の存在により、非単結晶半導体膜は直接には基板に接触せず、接合リーク電流の問題を回避できる。

【0065】この発明のうち請求項 2 にかかる集積回路の素子分離領域の形成方法によれば、犠牲酸化膜として機能する第 2 の熱酸化膜を第 1 の熱酸化膜に先行して形

成するものの、第 1 の熱酸化膜はイオン注入の際の妨げとなることがない。

【0066】この発明のうち請求項 3 にかかる集積回路の素子分離領域の形成方法によれば、第 5 の工程において第 2 の熱酸化膜の除去に用いられるエッチャントが埋め込み酸化膜をその側面からエッチングすることが軽減され、埋め込み酸化膜の上面の平坦性が損なわれることがない。

【0067】この発明のうち請求項 4 にかかる集積回路の素子分離領域の形成方法によれば、第 1 の熱酸化膜と第 2 の熱酸化膜を同時に形成することができる。

【0068】この発明のうち請求項 5 にかかる集積回路の素子分離領域の形成方法によれば、埋め込み酸化膜の側面にも第 3 の工程において第 1 の熱酸化膜が形成されるので、第 5 の工程において第 2 の熱酸化膜の除去に用いられるエッチャントが埋め込み酸化膜をその側面からエッチングすることが回避され、埋め込み酸化膜の上面の平坦性が損なわれることがない。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 の方法の各段階を示した図である。

【図 2】 本発明の実施の形態 2 の方法の各段階を示した図である。

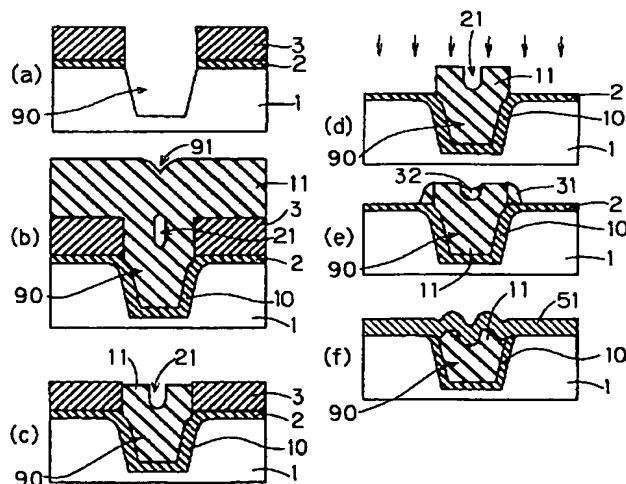
【図 3】 本発明の実施の形態 1 および 2 を適用する場合のその後の工程を示した図である。

【図 4】 従来の技術の方法の各段階を示した図である。

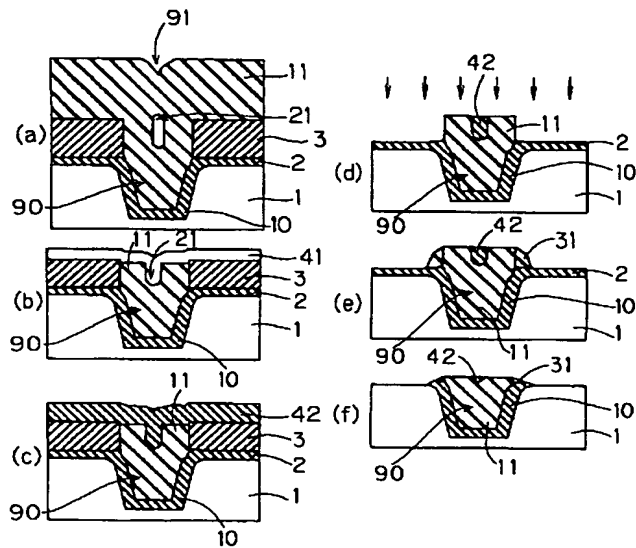
【符号の説明】

1 半導体基板、2, 5, 4 2 シリコン酸化膜、3 シリコン窒化膜、1 1 埋め込み酸化膜、2 1 シーム、3 1 側壁、4 1 非単結晶シリコン膜。

【図 4】



【図 1】



1: 半導体基板

31: 側壁

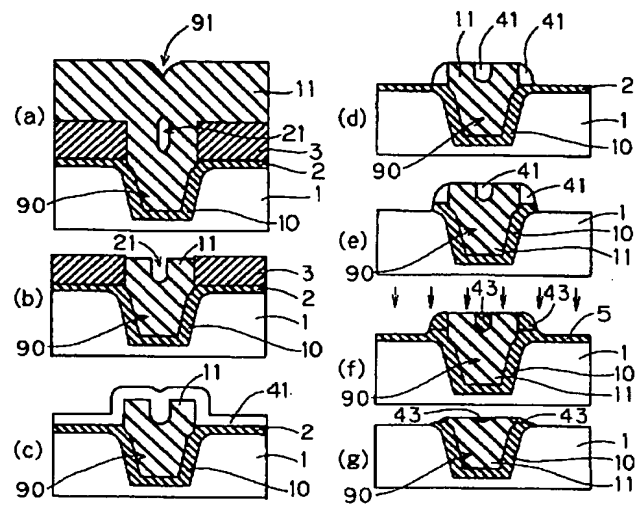
2, 42: 熱酸化膜

41: 非単結晶半導体膜

11: 埋め込み酸化膜

90: 溝

【図 2】



5, 43: 熱酸化膜

【図 3】

